

Abstract y7-46992



TC 21-1011-10011

Communication function built-in type LSI

PURPOSE: To provide a communication function built-in type LSI which serves as a gateway machine.

CONSTITUTION: The communication function built-in type LSI 30 includes an internal memory 40, a processing control unit 32 which accesses the memory 40 and performs control processing and computation, and a communication interface 44 which transfers data between the memory 40 and an external transmission line which is different from a general transmission line of a computer network. The processing control unit 32 controls to communicate with another communication function built-in type LSI via the communication interface 44 to directly send/receive data.

(19)日本国特許庁 (J P)

(12)実用新案公報 (Y 2)

(11)実用新案出願公告番号

実公平7-46992

(24)(44)公告日 平成7年(1995)10月25日

(51)Int. Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/46				
G 0 6 F 13/00	3 5 3 D	7368-5B		
15/78	5 1 0 D			
H 0 4 L 12/28				
			H 0 4 L 11/00	3 1 0 C
				請求項の数1 (全 7 頁)

(21)出願番号	実願平2-405387	(71)出願人	000003609 株式会社豊田中央研究所 愛知県愛知郡長久手町大字長湫字横道41番地の1
(22)出願日	平成2年(1990)12月28日	(72)考案者	原田 義久 愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内
(65)公開番号	実開平4-92842	(74)代理人	弁理士 布施 行夫 (外2名)
(43)公開日	平成4年(1992)8月12日		

審査官 立川 功

(54)【考案の名称】通信機能内蔵型L S I

1

【実用新案登録請求の範囲】

【請求項1】 内蔵メモリと、この内蔵メモリにアクセスし演算制御動作を行う演算制御部と、前記内蔵メモリ内のデータを通信路に向け送信するとともに、受信データの内蔵メモリへの書込みを行う通信インタフェースと、を含む通信機能内蔵型L S Iにおいて、前記演算制御部用の外部アドレス端子及び外部データ端子と、前記内蔵メモリ用の外部アドレス端子及び外部データ端子と、を含み、前記演算制御部は、前記演算制御部用の外部アドレス端子及び外部データ端子を介し他の通信機能内蔵型L S Iの内蔵メモリ用の外部アドレス端子及び外部データ端子と接続され、他の通信機能内蔵型L S Iの内蔵メモリへアクセスすることにより、ネットワーク用通信路を介さずに当該他の通信機能内蔵型L S Iとの間で直接データの送信、受信を行うよう形成されたことを

2

特徴とする通信機能内蔵型L S I。

【考案の詳細な説明】

【0001】

【産業上の利用分野】 本考案は通信機能内蔵型L S I、特にネットワークを構築した際ゲートウェイとしても機能する通信機能内蔵型L S Iに関する。

【0002】

【従来の技術】 従来から提案されている通信ネットワークは、一層構造のものが一般的である。しかし、自動車のように、多くのエレクトロニクスシステムが存在し、しかも全システム間でのデータ通信量が少なく、大部分のデータ通信がローカルなシステム間で行われているような通信システムを、一層構造ネットワークとして形成すると、各ノードでは総通信量に対する必要とされるデータ数の割合が極端に小さくなる上に、ネットワークそ

のものが大規模化し、高価なシステムとなってしまふ。

【0003】従って、このような場合には、データの通信頻度の高いノード毎にグループ化を行い、このノード間でサブネットワークを組み、サブネットワーク間の通信を上位ネットワークで行う階層構造のネットワークとすることが好ましく、これにより、各ノードでの総通信データ数に対する必要とされるデータ数の割合が増加し、かつ各層の総通信データ数も少なくなる。このため各層のネットワークは比較的低速で小規模となり全体として安価なシステムとすることができる。

【0004】従来、このような階層構造の通信ネットワークは、一層構造の各ネットワーク同士をゲートウェイと呼ばれる特殊なインタフェース回路を介して接続することにより実現している。これは、階層構造のネットワークをサポートできる通信方式の仕様を定めることが難しい上に、一層構造の通信ネットワークで現状の多くのニーズに対応可能であることによる。

【0005】図6には、このようにして構成された従来の階層構造ネットワークの一例が示されている。この階層構造ネットワークは、複数の一層構造のサブネットワーク10a, 10b, 10cが、ゲートウェイ20a, 20b, 20c及び上位ネットワーク用通信路28を介して互いに接続され、階層構造を構築している。

【0006】各サブネットワーク10a, 10b, 10cは、複数のマイクロコンピュータ15, 16, 17が通信インタフェース12, 13, 14を介し下位ネットワーク用通信路18と接続されることにより構築されている。

【0007】また、前記ゲートウェイ20a, 20b, 20cは、ゲートウェイ機能を果たすマイクロコンピュータ22を含み、このマイクロコンピュータ22は、上位ネットワーク用通信インタフェース24を介し上位ネットワーク用通信路28と接続され、さらに下位ネットワーク用通信インタフェース26を介し下位ネットワーク用通信路18と接続されている。

【0008】そして、各サブネットワーク10a, 10b, 10cは、それぞれ独立したネットワークとして機能し、例えばサブネットワーク10aは、通信インタフェース12a, 13a, 14a及び下位ネットワーク用通信路18aを介し、データのやりとりを行っている。

【0009】

【考案が解決しようとする課題】ところで、近年の集積回路技術の進歩に伴い、対をなす通信インタフェースとマイクロコンピュータを一つのLSIに内蔵させたいという要求が強くなり、このようにすることにより、通信ネットワークを構成する部品点数を減少させ、システムの単純化を図ることが可能となる。

【0010】この場合、各ゲートウェイ20では、マイクロコンピュータ22と二つの通信インタフェース24, 26を一つのLSIに内蔵させ、またサブネットワ

ーク18では、例えば一つの通信インタフェース12aと、マイクロコンピュータ15aを一つのLSIに内蔵させるように構成すればよい。しかし、このようにすると、各サブネットワーク18a, 18b, 18cを構成するそれぞれのLSI（一つの通信インタフェースと一つのマイクロコンピュータとを内蔵させたもの）と、ゲートウェイ20として用いるLSI（二つの通信インタフェースと一つのマイクロコンピュータとを内蔵させたもの）という2種類のLSIを設計・製造しなければならず、LSIの共通化を図ることができず、安価なシステムを構築することができない。

【0011】また、これとは逆に、各サブネットワーク10a, 10b, 10cを構築するLSIを、ゲートウェイ20と同様に二つの通信インタフェースと一つのマイクロコンピュータとを内蔵させたタイプにすることも考えられる。このようにすれば、システムにおいてLSIの共通化を高めることができ、コストダウンを図ることができる。

【0012】しかし、このようにすると、各サブネットワーク10a, 10b, 10c内で使用されるLSIでは、内蔵された2個の通信インタフェースのうち一方しか用いる必要がないため、他方の通信インタフェースは無駄になり、特にネットワークシステムの回路規模が大きくなると、このようにLSIの共通部品化を図ったことがかえってシステム全体のコストアップにつながるという問題があった。

【0013】本考案は、このような従来の課題に鑑み込まれたものであり、その目的は1個の通信インタフェースを内蔵し、ゲートウェイとしても機能する通信機能内蔵型LSIを提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するため、本考案は、内蔵メモリと、この内蔵メモリにアクセスし演算制御動作を行う演算制御部と、前記内蔵メモリ内のデータを通信路に向け送信するとともに、受信データの内蔵メモリへの書込みを行う通信インタフェースと、を含む通信機能内蔵型LSIにおいて、前記演算制御部用の外部アドレス端子及び外部データ端子と、前記内蔵メモリ用の外部アドレス端子及び外部データ端子と、を含み、前記演算制御部は、前記演算制御部用の外部アドレス端子及び外部データ端子を介し他の通信機能内蔵型LSIの内蔵メモリ用の外部アドレス端子及び外部データ端子と接続され、他の通信機能内蔵型LSIの内蔵メモリへアクセスすることにより、ネットワーク用通信路を介さずに当該他の通信機能内蔵型LSIとの間で直接データの送信、受信を行うよう形成されたことを特徴とする。

【0015】

【作用】本考案の通信機能内蔵型LSIは、通信インタフェースにネットワーク用の通信路を介して他の複数の

5

通信機能内蔵型LSIの通信インタフェースを接続することにより、サブネットワークを形成し、このサブネットワーク内においてデータのやりとりを行うよう構成される。

【0016】このとき、各LSIの内蔵メモリ内に書き込まれたデータが、通信インタフェースを介して通信路へ向け送信データとして送り出され、また通信路を介して受信されるデータが必要に応じ内蔵メモリに書き込まれる。

【0017】また、このように構成されたサブネットワークを他のネットワークと接続する場合には、各ネットワークのゲートウェイとして機能する本考案のLSIのうち、一方のLSIの内蔵メモリ用の外部アドレス端子及び外部データ端子と、他方のLSIの演算制御部用の外部アドレス端子及び外部データ端子とを接続する。これにより、ゲートウェイとして機能する二つのLSIのうち、一方のLSIの演算制御部が他方のLSIの内蔵メモリと直接アクセスし、異なるネットワーク間でデータの転送が行われる。

【0018】このようにして、本考案によれば、通信インタフェースが1個しか内蔵されていない複数の通信機能内蔵型LSIを用い、サブネットワークを構築すると共に、前記LSIを用いてゲートウェイを構築し他のネットワークと接続することにより、階層構造ネットワークを実現することができる。

【0019】

【考案の効果】以上説明したように、本考案によれば、階層構造ネットワークを構築するために使用するLSIの共通化を図ることができると共に、各LSI内には、従来のように2個の通信インタフェースを必要とすることがないため、LSI自体の単価を下げ、階層ネットワーク自体を安価に構築することが可能となる。

【0020】

【実施例】次に本考案の好適な実施例を図面に基づき詳細に説明する。

【0021】図1には、本考案にかかる通信機能内蔵型LSIの好適な実施例が示され、図2には前記LSIを用いて構築された階層構造ネットワークの一例が示されている。

【0022】図1に示すよう、実施例の通信機能内蔵型LSI30は、演算制御部として機能するマイクロコンピュータ32と、通信インタフェース34とを内蔵しており、前記通信インタフェース34内には内蔵メモリ40、通信制御回路42及びマルチプレクサ44が設けられ、通信制御回路42の制御により、内蔵メモリ40内のデータを通信路18へ向け送信データとして送り出し、また通信路18を介して受信されるデータを必要に応じ内蔵メモリ40に書き込むよう構成されている。

【0023】また、この通信機能内蔵型LSI30には、マイクロコンピュータ用外部アドレス端子36a及

6

び外部データ端子38aが設けられると共に、前記内蔵メモリ40用の外部アドレス端子36b及び外部データ端子38bが設けられている。

【0024】本考案の特徴は、前記マイクロコンピュータ32が、内部データバス及び内部アドレスバスを介して内蔵メモリ40に直接アクセスできると共に、必要に応じその外部アドレス端子36a及び外部データ端子38aを他のLSI30の外部アドレス端子36b及び外部データ端子38bと接続することにより、当該他のLSIの内蔵メモリ40にも直接アクセスできるように形成したことにある。

【0025】このように、少なくとも2個のLSIの外部アドレス端子36aおよび外部データ端子38aと外部アドレス端子36bおよび外部データ端子38bとをそれぞれ接続することにより、当該二つのLSIが全く別のネットワークを構成するものであっても、マイクロコンピュータ32と外部の内蔵メモリ40との間のデータのアクセスにより、データの転送を行うことができ、ゲートウェイとして機能させることが可能となる。

【0026】なお、本実施例では、マルチプレクサ44を用い、内部データバス及び内部アドレスバスからのデータアクセスと、外部アドレス端子36b及び外部データ端子38bからのデータアクセスとの切替えを必要に応じ行うよう構成されている。

【0027】図2には、このような通信機能内蔵型LSI30を用いて構築された階層構造ネットワークの一例が示されている。

【0028】実施例のネットワークは、二つのサブネットワーク10a、10bと、これらを接続する上位のネットワーク11とから構成されている。

【0029】各サブネットワーク10a、10bは、それぞれ独立したネットワークとして構築され、例えばサブネットワーク10aは、下位ネットワーク用通信路18aを介し複数の通信機能内蔵型LSI30-4、30-6、30-7、30-8の間でデータのやりとりを行う一層構造ネットワークとして構築されている。

【0030】同様に、他のサブネットワーク10bも、下位ネットワーク用通信路18bを介し、複数のLSI30-5、30-9、30-10、30-11の間でデータのやりとりを行う一層構造ネットワークとして構築されている。

【0031】ここで、各サブネットワーク10a、10bを構築する各LSI30は、図1に示すようその通信インタフェース34が通信路18と接続されている。

【0032】また、前記上位ネットワーク11は、複数のLSI30-1、30-2、30-3が上位ネットワーク用通信路28と接続され、データのやりとりを行うよう構成されている。ここで、各LSIの通信インタフェースは、それぞれ上位ネットワーク用通信路28と接続されている。

50

【0033】従って、この階層構造ネットワーク内において、各通信路18a、18b及び28内では、それぞれ独立したデータのやりとりが行われることになる。

【0034】また、本実施例の階層構造ネットワークにおいて、LSI30-1、30-4は、サブネットワーク10aと上位ネットワーク11とを接続するゲートウェイとして機能するよう構成され、さらにLSI30-3、30-5は、上位ネットワーク11とサブネットワーク10bとをつなぐゲートウェイとして機能するよう構成されている。

【0035】ここで、LSI30-1の外部アドレス端子36a及び外部データ端子38aは、LSI30-4の外部アドレス端子36b及び外部データ端子38bと接続されている。そして、LSI30-1のマイクロコンピュータ32がLSI30-4の内蔵メモリ40に直接アクセスし、両ネットワーク10a及び11の間でデータのやりとりが行われる。同様に、LSI30-3の外部アドレス端子36a及び外部データ端子38aは、LSI30-5の外部アドレス端子36b及び外部データ端子38bと接続され、LSI30-3のマイクロコンピュータ32がLSI30-5の内蔵メモリ40に直接アクセスし、両ネットワーク11及び10bの間でデータのやりとりを行うよう形成されている。

【0036】本実施例は以上の構成からなり、次にその作用を、サブネットワーク10aのLSI30-8から他のサブネットワーク10bのLSI30-11へデータ送信を行う場合を例にとり説明する。

【0037】この場合には、まずLSI30-8の内蔵メモリ40に記憶されたデータは、通信インタフェース34により下位ネットワーク用通信路18aを介しLSI30-4の内蔵メモリ40に送られ、書き込まれる。

【0038】次に、このLSI30-4の内蔵メモリ40に書き込まれたデータは、LSI30-1のマイクロコンピュータ32から外部アドレス端子36b、外部データ端子38bを介し直接アクセスされ、このLSI30-1の内蔵メモリ40内に書き込まれる。

【0039】次に、このLSI30-1の通信インタフェース34は、上位ネットワーク用通信路28を介し内蔵メモリ40に記憶されたデータをLSI30-3へ向け送信し、このLSI30-3の内蔵メモリ40内へ書き込む。

【0040】このようにしてLSI30-3の内蔵メモリ40に記憶されたデータは、マイクロコンピュータ32により読み出され、外部アドレス端子36a、38aを介しLSI30-5の内蔵メモリ40内に書き込まれる。

【0041】次に、LSI30-5の通信インタフェース34は、内蔵メモリ40内に書き込まれたデータを下位ネットワーク用通信路18bを介しLSI30-11の内蔵メモリ40へ向け転送し、これによりLSI30

-8から送信されたデータはLSI30-11の内蔵メモリ40に書き込まれ通信が完了することになる。そして、LSI30-11のマイクロコンピュータ32は、このようにして内蔵メモリ40に書き込まれた受信データを読み出し、各種の制御演算を行うことができる。

【0042】このように、本実施例によれば、図1に示すように構築された共通のLSIを各ネットワークを構築するLSIとして用いることもでき、さらにゲートウェイを構成するLSIとしても用いることができる。

10 【0043】特に、本考案によれば、従来のように2個のインタフェースをLSIに内蔵することなく、1個のインタフェースを内蔵させたLSI30を用いゲートウェイを構築することができるため、LSI30のコストダウンを図り、ネットワーク全体を安価に構築することが可能となる。

【0044】第2実施例

図3には、本考案にかかる通信機能内蔵型LSIの好適な第2実施例が示されている。

20 【0045】本実施例のLSI30の特徴は、内蔵メモリ40を、通信インタフェース34とは別の回路として形成したことにある。

【0046】すなわち、実施例の通信インタフェース34は、通信制御回路42と、通信データバッファ46とを含み、内蔵メモリ40に記憶されたデータが、一旦通信データバッファ46内に取り込まれた後、通信制御回路42の制御に基づき、通信路18へ向け送り出され送信が完了するよう構成されている。逆に、通信路18を介して受信されるデータは、一旦通信データバッファ46に取り込まれ、必要に応じて内蔵メモリ40に書き込まれるよう構成されている。

30 【0047】また、前記内蔵メモリ40はデュアルポートRAMを用いて形成され、図1に示す実施例とは異なり、マルチプレクサを用いなくともマイクロコンピュータ32と、外部アドレス端子36b及び外部データ端子38bの双方から選択的にアクセスされるよう構成されている。

【0048】従って、本実施例のLSI30を用いても、前記実施例と同様階層構造のネットワークを容易に構築することができる。

40 【0049】第3実施例

本考案の通信機能内蔵型LSI30は、その内蔵メモリ40が他の2つ以上のLSIのマイクロコンピュータから直接データアクセスできる構造とすることにより、通信インタフェース34の通信機能を使用しなくても、図4、図5のようなLSI間通信ネットワークを構築することもできる。

50 【0050】例えば、図4(b)に示すよう、各通信機能内蔵型LSI30内に2個の内蔵メモリ40-1、40-2を設け、各内蔵メモリ40-1、40-2にそれぞれ外部アドレス端子36b、36cと、外部データ端

子38b, 38cを設けることにより、図4(a)に示すようなネットワークを構成することができる。

【0051】これにおいて、A, B, C, D, E, F, G, Hで示される○印は、本実施例で用いられる通信機能内蔵型LSIをそれぞれ表している。

【0052】ここで、E, F, G, Hの各LSIのマイクロコンピュータ32は、(A, F) (B, G) (C, H) (D, E)の各LSIの内蔵メモリ40とそれぞれ接続されている。

【0053】また、A, B, C, Dの各LSIのマイクロコンピュータ32は、同様に(B, E) (C, F)

(D, G) (A, H)の各LSIの内蔵メモリ40にそれぞれ接続されている。

【0054】これにより、通信インタフェース34を用いることなく、各LSIA, B, C, D, E, F, G, H間で通信することが可能となる。

【0055】ここで、隣接する各LSI間では、相互にデータ通信が行えるラインと、一方の通信のみが行えるラインとが形成される。

【0056】例えば、AとEのLSIは、一方のマイクロコンピュータ32が他方のLSIの内蔵メモリ40に相互に接続されるようになっていたため、EのLSIのマイクロコンピュータ32からAのLSIの内蔵メモリ40にデータアクセスができると共に、AのLSIのマイクロコンピュータ32からEのLSIの内蔵メモリ40に対してもデータアクセスができる。このように、双方向の通信が行えることになる。

【0057】これに対し、例えばEとHのLSI間では、HのLSIのマイクロコンピュータ32からEのLSIに内蔵されたメモリ40へデータアクセスはできるが、逆はできず、一方向の通信のみが行えることになる。

【0058】また、例えば各通信機能内蔵型LSIを、例えば3個のデュアルポートRAMを内蔵メモリ40として有するよう形成する場合には、各LSIのマイクロコンピュータ32を、他のLSIの内蔵メモリに図5で示すようにデータアクセスできるよう接続することにより、通信インタフェース34を用いることなく膨大なネットワークを構成することができる。

【0059】他の実施例

また、本考案は前記実施例に限定されることなく、本考

案の要旨の範囲内で各種の変形実施が可能である。

【0060】例えば、前記各実施例では、本考案の通信機能内蔵型LSIを用いて二層構造のネットワークを構築する場合を例にとり説明したが、本考案はこれに限らず、同様の手法を用いて三層構造以上のネットワークを容易に構築することもできる。

【0061】また、前記各実施例では、マイクロコンピュータ32の外部アドレス端子36a及び外部データ端子38aと、内蔵メモリ40の外部アドレス端子36b及び外部データ端子38bをそれぞれ別々に形成した場合を例にとり説明したが、LSIの入出力ピン削減のため外部データ端子同士、外部アドレス端子同士を共用化し、制御信号により、切り替えるよう構成してもよい。

【図面の簡単な説明】

【図1】本考案にかかる通信機能内蔵型LSIの好適な第1実施例のブロック回路図である。

【図2】図1に示す通信機能内蔵型LSIを用いて構築された階層構造ネットワークの説明図である。

【図3】本考案にかかる通信機能内蔵型LSIの好適な第2実施例の回路図である。

【図4】(a), (b)は、第3実施例にかかる通信機能内蔵型LSIを用いて構築されたLSI間の通信ネットワークの一例およびこのネットワークに使用されるLSIを示す説明図である。

【図5】第3実施例にかかる通信機能内蔵型LSIを用いて構築された通信ネットワークの他の一例を示す説明図である。

【図6】従来のゲートウェイを用いて構築された階層構造ネットワークの説明図である。

【符号の説明】

10a, 10b, 10c サブネットワーク

11 上位ネットワーク

18a, 18b, 18c 下位ネットワーク用通信路

28 上位ネットワーク用通信路

30 通信機能内蔵型LSI

32 マイクロコンピュータ

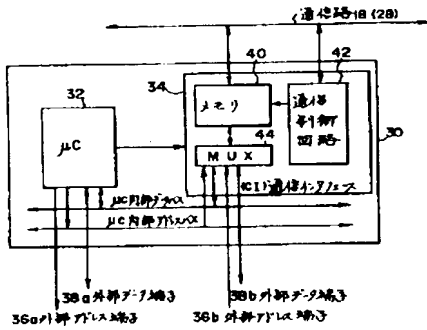
34 通信インタフェース

36a, 36b 外部アドレス端子

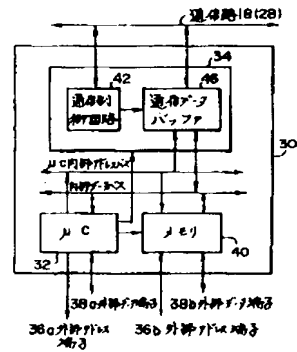
38a, 38b 外部データ端子

40 内蔵メモリ

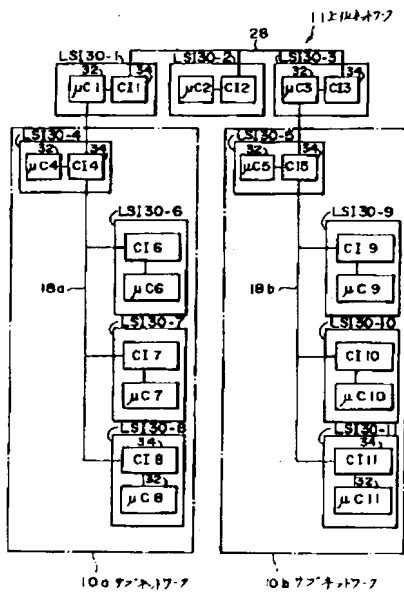
【図1】



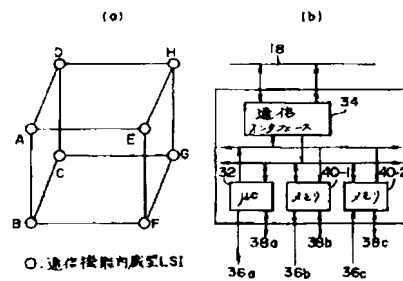
【図3】



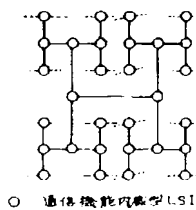
【図2】



【図4】



【図5】



【図6】

